

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-357956  
(43)Date of publication of application : 26.12.2000

(51)Int.CI. H03K 17/12  
H03K 17/693

(21)Application number : 11-170156  
(22)Date of filing : 16.06.1999

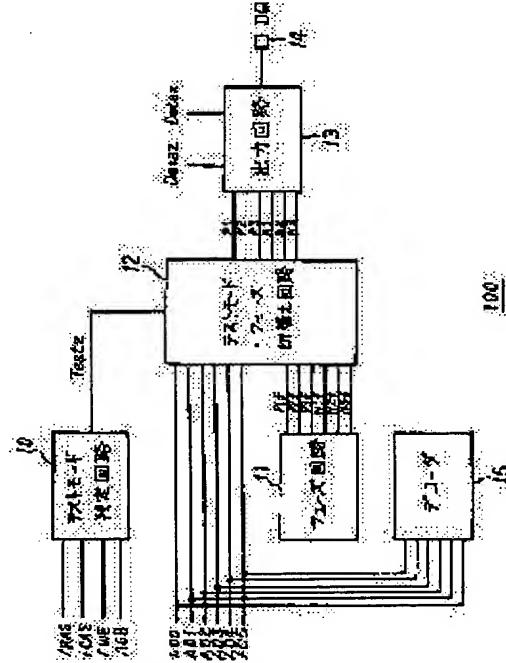
(71)Applicant : FUJITSU LTD  
(72)Inventor : SHINOZAKI NAOHARU  
TOMITA HIROYOSHI

**(54) LSI DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To conduct the test of the current driving capability of an output circuit in a manufacture stage and to set the output circuit to optimum current driving capability.

**SOLUTION:** There are provided an output circuit 13 which contains a plurality of output transistors, selected by an output current setting signal and in which the output current, is set by the above output current setting signal, a storage circuit which stores data on the output current setting signal, an operation mode switch circuit 2, which supplies a first signal supplied from a prescribed input terminal at a first operation mode to the output circuit 13 as an output current setting signal and which supplies a second signal corresponding to the data of the storage circuit to the output circuit as the current setting signal at a second operation mode and an operation mode decision circuit 10 which detects the first or second operation mode and supplies the switch signal of the first and second operation modes to the operation mode switch circuit 12.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

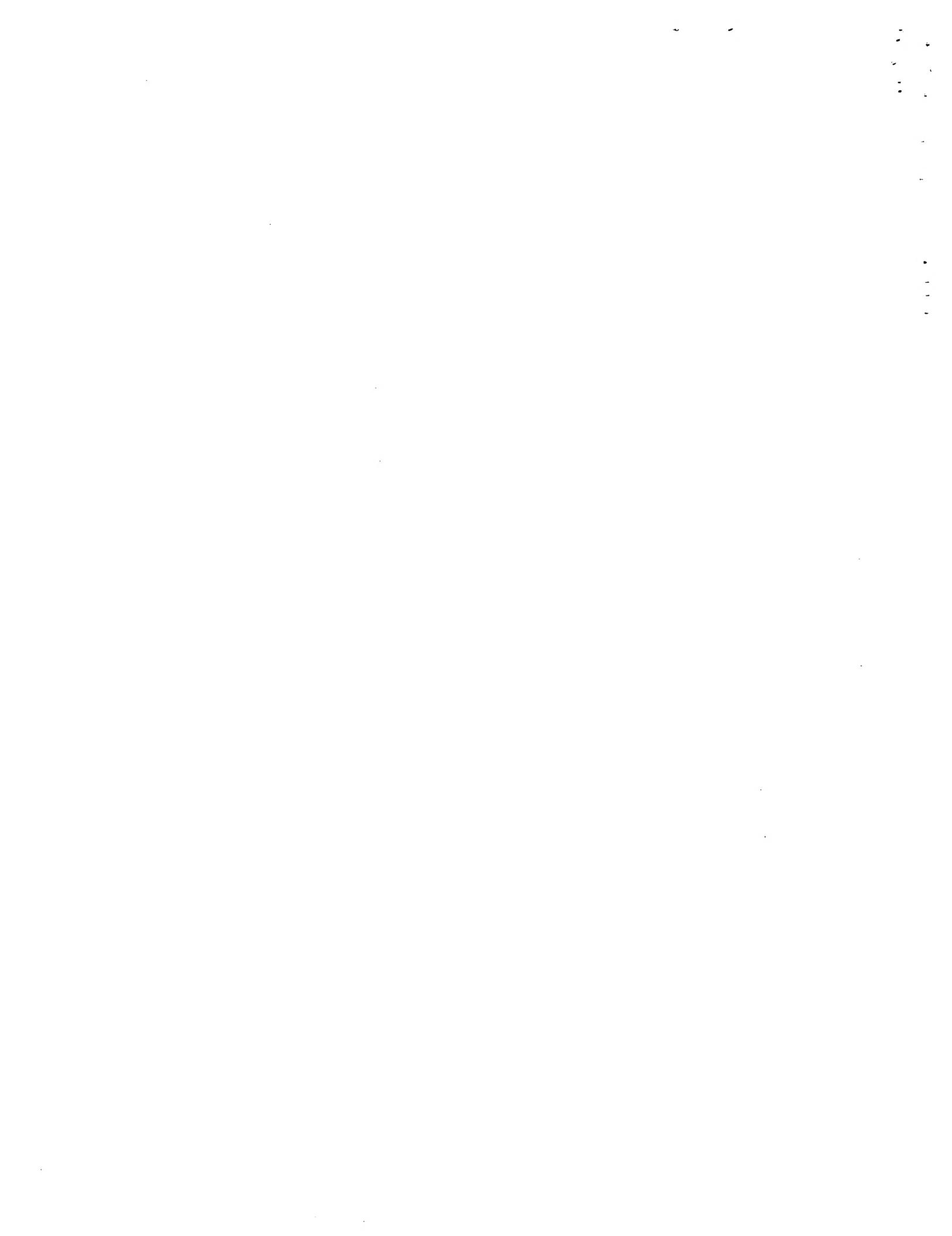
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



6

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-357956

(P 2 0 0 0 - 3 5 7 9 5 6 A)

(43)公開日 平成12年12月26日(2000.12.26)

(51)Int.Cl.  
H03K 17/12  
17/693

識別記号

F I  
H03K 17/12  
17/693マークド (参考)  
5J055  
A

審査請求 未請求 請求項の数 6 O L (全14頁)

(21)出願番号 特願平11-170156  
(22)出願日 平成11年6月16日(1999.6.16)(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72)発明者 篠崎 直治  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 富田 浩由  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 100094525  
弁理士 土井 健二 (外1名)

最終頁に統く

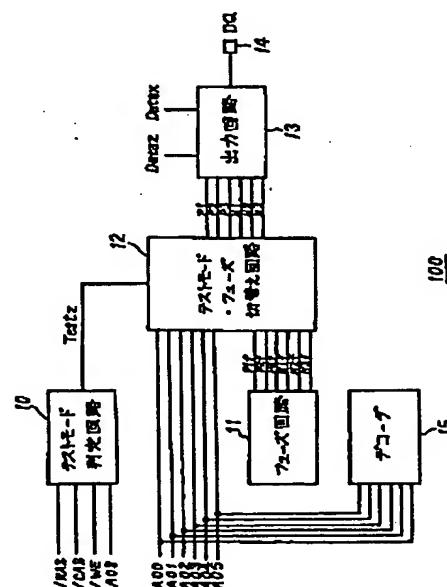
## (54)【発明の名称】LSIデバイス

## (57)【要約】

【課題】製造段階で出力回路の電流駆動能力を試験し、出力回路を最適な電流駆動能力に設定する。

【解決手段】出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号のデータを記憶する記憶回路と、第1の動作モードにおいて所定の入力端子から供給される第1の信号を前記出力電流設定信号として前記出力回路に供給し、第2の動作モードにおいて前記記憶回路のデータに対応する第2の信号を前記出力電流設定信号として前記出力回路に供給する動作モード切替え回路と、前記第1又は第2の動作モードを検出し、前記動作モード切替え回路に、前記第1及び第2の動作モードの切替え信号を供給する動作モード判定回路とを有する。

本発明の実施の形態のLSIデバイスの構成図



## 【特許請求の範囲】

【請求項1】出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号のデータを記憶する記憶回路と、第1の動作モードにおいて所定の入力端子から供給される第1の信号を前記出力電流設定信号として前記出力回路に供給し、第2の動作モードにおいて前記記憶回路のデータに対応する第2の信号を前記出力電流設定信号として前記出力回路に供給する動作モード切替え回路と、前記第1又は第2の動作モードを検出し、前記動作モード切替え回路に、前記第1及び第2の動作モードの切替え信号を供給する動作モード判定回路とを有することを特徴とするLSIデバイス。

【請求項2】請求項1において、前記記憶回路は、前記出力電流設定信号のデータを複数組記憶し、前記複数組のデータの中から選択された1つのデータに対応する前記第2の信号を、前記動作モード切替え回路に供給することを特徴とするLSIデバイス。

【請求項3】請求項1において、前記第1の動作モードにおける前記第1の信号をラッチし、前記動作モード切替え回路に供給するラッチ回路を有することを特徴とするLSIデバイス。

【請求項4】出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号を前記出力回路に供給する出力モニタ回路とを有し、

前記出力モニタ回路は、前記出力回路の電流駆動能力の基準となる参照電位を生成するリファレンス回路と、

前記複数の出力トランジスタと同等の電流特性を有し、直列に接続されるダミー出力抵抗にダミー出力電流を流す複数のダミー出力トランジスタと、

前記ダミー出力電流が流れることにより前記ダミー出力抵抗に生成されるダミー出力電位と前記リファレンス回路の参照電位とを比較する比較部と、

該比較部の比較結果に基づき、前記ダミー出力電位と参照電位が近づく様にダミー電流設定信号により前記ダミー出力トランジスタを導通又は非導通とすると共に、前記ダミー電流設定信号を前記出力電流設定信号として、前記出力回路に供給するダミー電流設定部とを有することを特徴とするLSIデバイス。

【請求項5】請求項4において、前記複数のダミー出力トランジスタは、前記ダミー抵抗に直列に接続される複数のp型ダミー出力トランジスタと複数のn型ダミー出力トランジスタとを有し、前記ダミー電流設定部は、前記p型ダミー出力トランジスタと前記n型ダミー出力トランジスタを交互に調整することにより前記ダミー電流設定信号を生成することを

特徴とするLSIデバイス。

【請求項6】請求項4において、

前記出力モニタ回路は、電源投入時の起動信号により活性化され、前記出力電流設定信号を前記出力回路に供給した後、非活性となることを特徴とするLSIデバイス。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、LSIデバイスに関し、特に、出力トランジスタの電流駆動能力を予め最適な値に設定することができるLSIデバイスに関する。

## 【0002】

【従来の技術】LSIデバイスにおいて、出力ノードがHレベルの場合に出力ノードから流出する出力電流値（以下、IOHという。）、及び出力ノードがLレベルの場合に出力ノードに吸い込まれる出力電流値（以下、IOLという。）の値は、出力トランジスタの製造プロセスのばらつきや、LSIデバイスが使用される駆動電圧又は周囲温度などにより変動し、一定にすることが難しい。

【0003】一方、LSIデバイスの処理速度は近年ますます高速化され、所望の応答特性を安定的に実現するために、LSIデバイスのIOH/IOLを所定の範囲に設定することが要求されている。

【0004】また、LSIデバイスの出力ノードに接続される外部インターフェースの違いに応じて、出力トランジスタに要求される最適な電流駆動能力は異なってくる。このため、LSIデバイスの製造段階において、ユーザの使用条件に合わせて、出力トランジスタのIOH/IOLを設定する必要がある。

【0005】図14は、LSIデバイスの製造段階で、出力トランジスタの電流駆動能力を増減させ、最適な電流駆動能力に設定できる出力回路の構成図である。従来の出力回路は、通常の動作が行えるように予め接続されたp型トランジスタ150、n型トランジスタ153及びインバータ160、161の他に、ゲート、ソース、ドレインともに電源Vccに接続された予備のp型トランジスタ151、152と、ゲート、ソース、ドレインともに共通電位Vssに接続された予備のn型トランジスタ154、155とを有する。

【0006】この出力回路は、入力信号Dataz、DataxがともにLレベルの場合に、インバータ160、161の出力がともにHレベルになり、p型トランジスタ150が非導通となってn型トランジスタ153が導通し、出力信号DQがLレベルになる。一方、入力信号Dataz、DataxがともにHレベルの場合は、インバータ160、161の出力がともにLレベルになり、p型トランジスタ150が導通してn型トランジスタ153が非導通になり、出力信号DQがHレベルになる。

【0007】そして出力回路は、出力信号DQがHレベルの場合にp型トランジスタ150が導通して出力電流IOHを流出し、出力信号DQがLレベルの場合にn型トランジスタ153が導通して出力電流IOLを吸い込む。しかしながら、同じ種類のLSIデバイスを異なる工場で製造する場合に、工場ごとの製造装置にはらつきがあると、工場ごとに出力トランジスタの電流駆動特性が異なり、出力電流IOH/IOLの値や出力電圧レベルに差が発生してしまう。また、LSIデバイスを同一の工場で製造する場合でも、製造ロットごとに出力特性にバラツキが生じる場合がある。

【0008】このような事態に対処するために、従来の出力回路には予備の出力トランジスタが備えられており、工場間で出力電流IOH/IOLの値等が異なる場合は、予備の出力トランジスタをすでに接続されている出力トランジスタに並列に接続し、出力電流IOH/IOL等が所定の値になるように出力回路の電流駆動能力を調整している。なお、予備の出力トランジスタの接続及び非接続は、LSIデバイスの製造段階における配線層のマスクで切り替えるのが一般的である。

【0009】一方、LSIデバイスを製造した後、LSIデバイスをプリント基板等に実装する際に、出力トランジスタの電流駆動能力を調整する回路例が、特開平9-214315公報、又は特表平7-505734公報に記載されている。ここに記載されたLSIデバイスは、LSIデバイスがプリント基板等に実装される場合に、外部回路の負荷容量に応じて出力回路の電流駆動能力を調整し、LSIデバイスが予め規定された出力特性になるようにするものである。

#### 【0010】

【発明が解決しようとする課題】このように、LSIデバイスの製造装置等のばらつきにより、製造されたLSIデバイスの出力特性に工場間のばらつきがある場合は、工場ごとに予備の出力トランジスタの接続及び非接続を行うマスクを作成し、そのマスクを使用して、出力特性の差を補正した製品を製造しなければならなかつた。このため、マスクの作成に多くのコストと時間がかかるという課題があった。

【0011】また、LSIデバイスを同一の工場で製造する場合でも、製造ロットごとに出力特性にバラツキが生じる場合がある。この場合、製造ロットごとに出力特性を補正するマスクを作成するのでは、更に多くのコストと時間がかかり現実的ではない。

【0012】また、LSIデバイスの出力特性は、LSIデバイスを使用するユーザの使用条件の変更に対応して、製造段階で迅速に変更可能でなければならない。しかしながら、従来のように出力トランジスタの接続及び非接続をマスクにより行う場合は、マスクの製作に多くの時間がかかってしまい、ユーザの使用条件の変更に迅速に対応することができなかつた。

【0013】また、特表平7-505734公報に記載されているように、LSIデバイスの製造後に、ユーザがそのLSIデバイスをプリント基板等に実装する際に、予め規定した出力特性になるように出力回路の電流駆動能力を調整するのでは、予め規定した出力特性をユーザに強制することになり、ユーザの使用条件の変更に柔軟に対応することはできない。

【0014】そこで、本発明の目的は、製造段階で出力回路の電流駆動能力を試験し、出力回路を最適な電流駆動能力に設定することができるLSIデバイスを提供することにある。

【0015】また、本発明の別の目的は、出力回路を最適な電流駆動能力に自動的に設定することができるLSIデバイスを提供することにある。

#### 【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、LSIデバイスのテストモードにおいて、出力電流IOL/IOHが最適値となる出力トランジスタの設定データを取得し、その設定データを記憶回路により記憶し、通常モードにおいて、出力回路を最適値の出力電流IOL/IOHで動作させるものである。

【0017】従つて、本発明によれば、LSIデバイスの製造段階で出力回路の電流駆動能力を試験することができ、フューズにより出力回路を最適な電流駆動能力に設定することができる。

【0018】上記の目的を達成するために、本発明の別の側面は、出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号のデータを記憶する記憶回路と、第1の動作モードにおいて所定の入力端子から供給される第1の信号を前記出力電流設定信号として前記出力回路に供給し、第2の動作モードにおいて前記記憶回路のデータに対応する第2の信号を前記出力電流設定信号として前記出力回路に供給する動作モード切替え回路と、前記第1又は第2の動作モードを検出し、前記動作モード切替え回路に、前記第1及び第2の動作モードの切替え信号を供給する動作モード判定回路とを有することを特徴とする。

【0019】上記の発明によれば、第1の動作モードにおいて、例えばメモリデバイスのアドレス入力端子の如き所定の入力端子を利用して、出力回路の最適な電流駆動能力を検出することができ、その検出した最適電流駆動能力に設定する情報を記憶回路に記憶して、出力回路を最適な電流駆動能力に設定することができる。所定の入力端子は、第2の動作モードでは通常通り利用される。

【0020】上記の目的を達成するために、本発明の別の側面は、出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信

号により設定される出力回路と、前記出力電流設定信号を前記出力回路に供給する出力モニタ回路とを有し、前記出力モニタ回路は、前記出力回路の電流駆動能力の基準となる参照電位を生成するリファレンス回路と、前記複数の出力トランジスタと同等の電流特性を有し、直列に接続されるダミー出力抵抗にダミー出力電流を流す複数のダミー出力トランジスタと、前記ダミー出力電流が流れることにより前記ダミー出力抵抗に生成されるダミー出力電位と前記リファレンス回路の参照電位とを比較する比較部と、該比較部の比較結果に基づき、前記ダミー出力電位と参照電位が近づく様にダミー電流設定信号により前記ダミー出力トランジスタを導通又は非導通と共に、前記ダミー電流設定信号を前記出力電流設定信号として、前記出力回路に供給するダミー電流設定部とを有することを特徴とする。

【0021】上記の発明によれば、デバイス内部にダミー出力回路を設けてあるので、出力モニタ回路は、デバイス動作中にそのダミー出力回路の動作によって出力回路の最適な電流駆動能力を検出することができる。従って、出力回路を最適な電流駆動能力に自動的に設定することができる。

#### 【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0023】図1は、本発明の実施の形態のLSIデバイスの構成図である。本実施の形態のLSIデバイス100は、コマンド信号であるロードレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、アドレス信号A08が入力され、通常モードとテストモードを判定してテスト信号Testzを出力するテストモード判定回路10と、出力トランジスタに最適な電流駆動能力を与えるための設定信号P1f～N3fを記憶するフューズ回路11と、出力トランジスタの設定信号P1～N3として、テストモードではアドレス入力端子からの信号A00～A05を選択し、通常モードではフューズ回路11に記憶された設定信号P1f～N3fを選択するテストモード・フューズ切替え回路12と、図示しない内部回路で生成されたデータ信号Dataz、Dataxが入力され、データ信号DQを信号出力パッド14から外部に出力する出力回路13と、アドレス信号A00～A05が入力されるデコード15とを有する。

【0024】本実施の形態のLSIデバイス100は、テストモードでは、アドレス端子の信号A00～A05が出力回路13の出力トランジスタを設定する設定信号P1～N3になる。そして、アドレス端子の信号A00～A05により出力回路13の電流駆動能力を変化させ、最適な電流駆動能力を生じる出力トランジスタのデータを取得することができる。従って、テストモードで

のデータに基づき、フューズ回路11の設定信号P1f～N3fを生成すれば、出力回路13は通常モードにおいて最適な電流駆動能力を発揮することになる。しかも、本実施の形態では、アドレス端子を、テストモードにおいて出力トランジスタの設定信号を入力する端子に兼用しているため、従来のように、設定信号を入力する専用の端子を設ける必要がなく、LSIデバイスの構造を複雑化することができない。

【0025】なお、フューズ回路11は、後述するように、フューズを切断していない状態においても、初期値の設定信号P1f～N3fを出力する。このため、出力回路13は、LSIデバイス100に電源が投入された後、テストモードに入る前においても、初期値の電流駆動能力によりデータ信号DQを出力することができ、通常モードでの動作を確認することができる。

【0026】次に、本実施の形態のLSIデバイス100の各回路について説明する。図2は、本発明の実施の形態の出力回路13の説明図である。図2(1)に示すように、本実施の形態の出力回路13は、ソースが電源Vccに接続され、ドレインが信号出力パッド14に接続されたp型トランジスタ20、21、22と、ドレインが信号出力パッド14に接続され、ソースが基準電位Vssに接続されたn型トランジスタ23、24、25と、p型トランジスタ20、21、22のゲートに接続されるNAND回路26、27、28と、n型トランジスタ23、24、25のゲートに接続されるNOR回路29、30、31とを有する。

【0027】NAND回路26、27、28の一方の入力には設定信号P1、P2、P3が入力されるので、設定信号P1、P2、P3により入力信号Datazの通過が制御され、駆動されるp型トランジスタ20、21、22を選択することができる。また、NOR回路29、30、31の一方の入力には、設定信号N1、N2、N3が入力されるので、設定信号N1、N2、N3により入力信号Dataxの通過が制御され、駆動されるn型トランジスタ23、24、25を選択することができる。この場合、設定信号P1、P2、P3がHレベルの時に応するp型トランジスタ20、21、22を選択し、設定信号N1、N2、N3がLレベルの時に応するn型トランジスタ23、24、25を選択する。

【0028】この場合、例えば、p型トランジスタ20、21、22のチャネル幅の比、及びn型トランジスタ23、24、25のチャネル幅の比を「1：2：4」とすれば、設定信号P1～N3により、出力トランジスタの等価的なチャネル幅を「D」から「7D」のいずれかに設定することができる。但し、チャネル幅Dは、出力トランジスタのうちの最小チャネル幅を意味するものとする。

【0029】例えば、設定信号P1、P2、P3が(H, L, H)で、設定信号N1、N2、N3が(L,

H、L) の場合は、p型トランジスタ20、22とn型トランジスタ23、25が選択され、出力トランジスタの等価的なチャネル幅は「5D」となり、チャネル幅が「D」の場合の電流駆動能力を「G」とすれば、出力回路13の電流駆動能力を「5G」にことができる。

【0030】このように、本実施の形態のLSIデバイスは、出力回路13の電流駆動能力を「1G」から「7G」まで変化させることができる。従って、LSIデバイスの製造装置のバラツキ等により、LSIデバイスの出力特性に工場間又は製造ロット間のバラツキが生じた場合でも、設定信号P1～N3により最適な電流駆動能力に設定することができる。

【0031】なお、本実施の形態では、複数の出力トランジスタのチャネル幅を異ならせたことに対応して、複数の出力トランジスタを駆動するドライブ回路の駆動能力も異ならせている。即ち、NAND回路26、27、28及びNOR回路29、30、31の駆動能力の比を「1：2：4」として、チャネル幅の異なるp型トランジスタ20、21、22及びn型トランジスタ23、24、25を充分に駆動できるようにしている。

【0032】図2(2)は、出力回路13の入出力波形図である。図2(2)の入出力波形について、設定信号P1、P2、P3及び設定信号N1、N2、N3が上記のように(H、L、H)、(L、H、L)の場合について説明する。

【0033】入力信号Dataz、DataxがともにHレベルの場合は、設定信号P1、P2、P3が(H、L、H)であることから、NAND回路26、28の出力がLレベルになるのでp型トランジスタ20、22が導通し、NAND回路27の出力がHレベルになるのでp型トランジスタ21が非導通になる。一方、NOR回路29、30、31の出力は、設定信号N1、N2、N3に係わらずLレベルになり、n型トランジスタ23、24、25は非導通になる。従って、出力信号DQはHレベルになり、p型トランジスタ20、22の等価的なチャネル幅は「5D」になるので、電流駆動能力「5G」の出力電流IOHを流出させることができる。

【0034】入力信号Dataz、DataxがともにLレベルの場合は、設定信号N1、N2、N3が(L、H、L)であることから、NOR回路29、31の出力がHレベルになるのでn型トランジスタ23、25が導通し、NOR回路30の出力がLレベルになるのでn型トランジスタ24が非導通になる。一方、NAND回路26、27、28の出力は、設定信号P1、P2、P3に係わらずHレベルになり、p型トランジスタ20、21、22が非導通になる。従って、出力信号DQはLレベルになり、n型トランジスタ23、25の等価的なチャネル幅は「5D」になるので、電流駆動能力「5G」の出力電流IOLを吸い込むことができる。

【0035】入力信号DatazがLレベルで入力信号Data

xがHレベルの場合は、p型トランジスタ20、21、22及びn型トランジスタ23、24、25の全てが非導通になり、信号出力パッド14は高インピーダンスになる。また、入力信号DatazがHレベルで入力信号DataxがLレベルの場合は、p型トランジスタ20、22及びn型トランジスタ23、25が同時に導通し貫通電流が流れるため、この信号は用いられない。

【0036】なお、図2(1)は、CMOSの出力回路を例にとったものであるが、それに限定されるものではなく、バイポーラトランジスタ等の出力回路にも本発明を適用することができる。また、出力トランジスタの数、チャネル幅についても、本実施の形態に限定されず、任意の数と幅にすることができる。

【0037】図3は、本発明の実施の形態のテストモード判定回路10の回路図である。本実施の形態のテストモード判定回路10は、NOR回路35とインバータ36とを有し、NOR回路35には、コマンド信号であるロードアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/W

E、及びインバータ36を介してアドレス信号A08が入力される。

【0038】従って、ロードアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WEがすべてLレベルで、アドレス信号A08がHレベルの場合に、テスト信号TestzがHレベルになってテストモードになる。なお、ロードアドレスストローブ信号/RAS等の上記の組み合わせは、LSIデバイスにおいて通常使用されない組み合わせであり、LSIデバイスをテストモードにする場合だけに使用される。

【0039】図4は、本発明の実施の形態のフューズ回路11の部分構成図である。図4(1)はp型トランジスタ22の設定信号P1fを生成するフューズ回路で、電源Vccと基準電位Vssの間に、フューズ40、41とn型トランジスタ42が直列に接続される。また、n型トランジスタ42は、ゲートが電源Vccに接続されて抵抗成分として機能する。従って、図4(1)の場合は、フューズ40、41の接続ノードから、初期値がHレベルの設定信号P1fを出力する。一方、図4(2)の場合は、フューズ40、41の接続ノードがインバータ43で反転されるため、初期値がLレベルの設定信号P1fを出力する。

【0040】このように、本実施の形態のフューズ回路11は、フューズを切断しない状態においても、図4(1)においてはHレベルを出力し、図4(2)においてはLレベルを出力することができる。従って、図4(1)と図4(2)の状態を組み合わせて設定信号の初期値を出力することができる。そして、前述したテストモードにおいて、最適な電流駆動能力を実現する出力トランジスタのデータを取得した後に、レーザ等によりフ

ューズ40、41のどちらか一方を切斷する。

【0041】例えば、設定信号P1fをHレベルにする場合は、図4(1)のフューズ41、又は図4(2)のフューズ40を切斷し、設定信号P1fをLレベルにする場合は、図4(1)のフューズ40、又は図4(2)のフューズ41を切斷する。これにより、フューズ回路11は、通常モードで出力回路13を最適に駆動させることができ、また、フューズ回路11で消費される電流を削減することができる。

【0042】図5は、本発明の実施の形態のテストモード・フューズ切替え回路の構成図である。本実施の形態のテストモード・フューズ切替え回路12は、NAND回路45、46、47とインバータ48とを有する切替えブロック50～55により構成される。そして、通常モードではテスト信号TestzがLレベルになるので、インバータ48の出力がHレベルになり、設定信号P1～N3としてフューズ回路11からの設定信号P1f～N3fが選択される。一方、テストモードではテスト信号TestzがHレベルになるので、設定信号P1～N3としてアドレス端子からの信号A00～A05が選択される。

【0043】このように、本実施の形態のテストモード・フューズ切替え回路は、テストモードにおいて、アドレス端子からの信号A00～A05を出力回路13の設定信号P1～N3として選択するので、アドレス端子の信号A00～A05を変化させ、最適な電流駆動能力を生じる出力トランジスタの状態を検出することができる。その後、フューズ回路11の設定信号P1f～N3fを、テストモードにおけるアドレス端子の信号A00～A05と同じデータに設定すれば、出力回路13は、通常モードで最適な電流駆動能力を発揮するようになる。しかも、通常モードでは、アドレス信号A00～A05はデコーダ15に供給され、通常のメモリ動作を可能にすることができます。従って、テストモード用に特別の外部端子を設ける必要はなく、アドレス端子を兼用することができる。

【0044】図6は、本発明の実施の形態のLSIデバイスにおいて、複数フューズ回路を備えた場合の構成図である。本実施の形態では、LSIデバイスに複数のフューズ回路11、57を設け、例えば、フューズ回路11に、現在、小振幅信号のインタフェースとして採用されているSSTL2インターフェースに最適な設定信号P1f～N3f(a)を記憶する。また、フューズ回路57には、将来の採用が予想されるインターフェースに適した設定信号P1f～N3f(b)を記憶する。

【0045】そして、フューズ回路11の設定信号P1f～N3f(a)とフューズ回路57の設定信号P1f～N3f(b)の一方をフューズセット切替え回路58により選択し、テストモード・フューズ切替え回路12に出力する。この場合、モードレジスタ59では、/R

AS信号等のコマンド信号及びアドレス信号Anにより使用されるインターフェースが設定され、そのインターフェースに対応したフューズセット選択信号Sfが設定される。この設定されたフューズセット選択信号Sfは、フューズセット切替え回路58に供給され、設定されたインターフェースに対応する設定信号セットが記憶されたフューズ回路11、57が選択される。

【0046】本実施の形態によれば、LSIデバイスの出力特性を、1つのインターフェースに最適の値に設定できるばかりでなく、使用が予想される別のインターフェースに最適の値に設定することもでき、将来のインターフェース規格の変更に柔軟に対応することができる。

【0047】図7は、本発明の他の実施の形態のLSIデバイスの構成図である。本実施の形態のLSIデバイス100は、図1に示した実施の形態に、アドレス端子の信号A00～A05をラッチするラッチ回路62を追加した点が異なる。

【0048】図1に示した実施の形態では、テストモードにおいてアドレス端子の信号A00～A05により出力回路13の出力電流特性を試験し、最適な出力電流特性を実現する出力トランジスタを選択することができる。しかし、この場合、アドレス端子の信号A00～A05は、出力トランジスタの設定信号P1～N3になってしまっており、テストモード時に本来のアドレス信号A00～A05として使用することができない。

【0049】そこで、図7の実施の形態では、出力トランジスタの設定信号となるアドレス端子の信号A00～A05を、ラッチ回路62によりラッチして設定信号P1t～N3tとし、テストモードにおいてアドレス信号A00～A05を本来の信号として自由に変更できるようにしたものである。このため、アドレス信号A00～A05は、出力トランジスタの設定信号としての制約を受けず、テスト条件の設定などに自由に使用でき、出力トランジスタの出力電流特性を容易にテストすることができる。

【0050】図8は、本発明の実施の形態のラッチ回路62の構成図である。本実施の形態のラッチ回路62は、アドレス端子の信号A00～A05をラッチする回路ブロック68～73を有し、各回路ブロックは、インバータ63と、インバータ64、65からなるラッチ回路と、p型トランジスタ66及びn型トランジスタ67からなるトランジスターゲートとを有する。また、テスト信号Testz1がp型トランジスタ66のゲートに入力され、テスト信号Testz1の反転信号がn型トランジスタ67のゲートに入力される。

【0051】テスト信号Testz1は、テスト信号Testzから生成される信号で、テストモードにおいて、アドレス端子の信号A00～A05により出力トランジスタを設定する場合にLレベルとし、出力トランジスタの設定後にHレベルとする。即ち、テストモードにおいて、テス

ト信号Testz1がLレベルの場合は、p型トランジスタ6 6のゲートはLレベルであり、n型トランジスタ6 7のゲートはHレベルとなるため、p型トランジスタ6 6及びn型トランジスタ6 7がともに導通し、アドレス端子の信号A 0 0～A 0 5がそのまま出力トランジスタの設定信号P 1 t～N 3 tとなり、アドレス端子の信号A 0 0～A 0 5により出力特性を試験することができる。

【0052】次に、テスト信号Testz1をHレベルにすれば、p型トランジスタ6 6及びn型トランジスタ6 7がともに非導通となり、アドレス端子の信号A 0 0～A 0 5が、インバータ6 4、6 5により設定信号P 1 t～N 3 tとしてラッチされる。従って、ラッチ後のアドレス信号A 0 0～A 0 5は、出力トランジスタの設定信号としての制約を受けず、本来のアドレス信号として、テスト条件の設定などに自由に使用でき、LSIデバイスの出力電流特性を容易に試験することができる。

【0053】図9は、本発明の他の実施の形態のLSIデバイスの構成図である。本実施の形態のLSIデバイスは、出力回路1 3の電流駆動能力を自動的に設定する出力トランジスタモニタ回路7 5を有し、動作時に出力回路1 3の電流駆動特性を最適値に自動的に設定することができる。即ち、前述の実施の形態例の如く、テストモードにて最適値に設定する必要はない。

【0054】本実施の形態の出力トランジスタモニタ回路7 5は、出力回路1 3の出力トランジスタと等価なダミートランジスタを有し、このダミートランジスタの電流値をモニタして、出力回路1 3に出力トランジスタの設定信号P 1～N 3を出力する。これにより、LSIデバイスの動作時に、出力回路1 3の出力特性を自動的に設定することができる。

【0055】ここで、出力回路1 3の出力特性の最適値について、SSTL2インターフェースを例として説明する。図10は、LSIデバイス1 0 0の出力回路1 3に接続されるSSTL2インターフェースの等価回路を示す説明図である。SSTL2インターフェースは、電源Vccq=2.5V、基準電位Vssq=0V、ターミナル電位Vtt=Vccq/2=1.25Vとするとき、信号出力パッド1 4とターミナル電位Vttの間に、25Ωの等価抵抗7 7、7 8を直列に接続した形式で表される。そして、等価抵抗7 7、7 8に流れる電流が16mAの場合に、最適な駆動状態になる。

【0056】最適な駆動状態における出力回路1 3の出力抵抗Rを計算すると、例えば、出力回路1 3が16mAの電流を吸い込む場合は、25Ωの等価抵抗7 7、7 8に直列に出力抵抗R 2が挿入されるので、

$$16\text{mA} = 1.25\text{V} / (25 + 25 + R_2) \Omega$$

から、

$$R_2 = 28 \Omega$$

となる。従って、SSTL2インターフェースにおいては、出力回路1 3の出力抵抗が28Ωの場合に、最適な

電流駆動能力となる。なお、出力回路1 3が16mAの出力電流を流出する場合も、同様の計算により出力抵抗R 1は略28Ωになる。

【0057】図11は、本発明の実施の形態の出力トランジスタモニタ回路の構成図である。本実施の形態の出力トランジスタモニタ回路7 5は、出力回路1 3のp型トランジスタと同じ特性を有するダミーp型トランジスタ8 1、8 2、8 3と、出力回路1 3のn型トランジスタと同じ特性を有するダミーn型トランジスタ8 4、8 5、8 6と、SSTL2インターフェースの等価抵抗9 3、9 4、9 5、9 6と、53Ωの抵抗9 7、9 9と50Ωの抵抗9 8を有するリファレンス回路1 0 5とを有する。なお、53Ωは出力回路1 3の最適出力抵抗R 1、R 2(28Ω)と等価抵抗9 3(25Ω)の和であり、50Ωは等価抵抗9 4、9 5(各25Ω)の和の値である。

【0058】また、出力トランジスタモニタ回路7 5は、出力側のノードaとリファレンス回路1 0 5のノードa 1の電圧を比較する比較器1 1 2、比較器1 1 2の出力に応答して、ダミーp型トランジスタ8 1、8 2、8 3の導通及び非導通を制御する信号をカウントアップ又はカウントダウンするカウンタ1 1 4と、カウンタ1 1 4の出力を反転して出力回路1 3のp型トランジスタに対する設定信号P 1～P 3を出力するインバータ8 7、8 8、8 9とを有する。

【0059】また、出力トランジスタモニタ回路7 5は、出力側のノードbとリファレンス回路1 0 5のノードb 1の電圧を比較する比較器1 1 3、比較器1 1 3の出力に応答して、ダミーn型トランジスタ8 4、8 5、8 6の導通及び非導通を制御する信号をカウントアップ又はカウントダウンするカウンタ1 1 5と、カウンタ1 1 5の出力を反転して出力回路1 3のn型トランジスタに対する設定信号N 1～N 3を出力するインバータ9 0、9 1、9 2とを有する。また、スタート信号sttzにより発振を開始する発振回路1 1 0と、インバータ1 1 1とを有する。

【0060】本実施の形態の出力トランジスタモニタ回路7 5は、スタート信号sttzにより発振回路1 1 0が動作し、その出力クロックに応答して、比較器1 1 2、1 1 3の動作が開始される。例えば、比較器1 1 2は、ノードaとノードa 1の電位を比較し、ノードaの電位がノードa 1の電位より低い場合にカウントダウン信号S 1をカウンタ1 1 4に出力する。カウンタ1 1 4は、3ビットの出力Q 1、Q 2、Q 3を有し、(Q 3、Q 2、Q 1)の初期値が(H、H、H)の場合は、ダミーp型トランジスタ8 1、8 2、8 3の出力抵抗R 1は極めて大きく、ノードaの電位はターミナル電位Vttに略等しい。この状態からカウントダウン信号S 1が入力されると、(Q 3、Q 2、Q 1)は(H、H、L)→(H、L、H)→(L、H)→(L、L、H)→(L、L、L)となる。

$H, L \rightarrow (L, L, H) \rightarrow (L, L, L)$  と変化し、出力抵抗  $R_1$  は低下し、ノード  $a$  の電位は上昇する。例えば、 $(L, H, L)$  の場合は、p型トランジスタ 8 1、8 3 が導通し、それらのチャネル幅が「D」、「4 D」の場合は等価的なチャネル幅が「5 D」になる。

【0061】やがて、ノード  $a$  の電位がノード  $a_1$  の電位より大きくなった場合に、比較器 1 1 2 のカウントダウン信号  $S_1$  が停止し、p型トランジスタ 8 1、8 2、8 3 は出力抵抗  $R_1$  が略  $28\Omega$  となり、SSTL2 インタフェースに最適な出力特性になる。

【0062】同様に、カウンタ 1 1 5 は、3 ビットの出力  $T_1, T_2, T_3$  を有し、 $(T_3, T_2, T_1)$  の初期値が  $(L, L, L)$  の場合は、ダミー n 型トランジスタ 8 4、8 5、8 6 の出力抵抗  $R_2$  は極めて大きく、ノード  $b$  の電位はターミナル電位  $V_{t t}$  に略等しい。この状態からカウントアップ信号  $S_2$  が入力されると、 $(T_3, T_2, T_1)$  は  $(L, L, H) \rightarrow (L, H, L) \rightarrow (L, H, H) \rightarrow (H, L, L) \rightarrow (H, L, H) \rightarrow (H, H, L) \rightarrow (H, H, H)$  と変化し、例えば、 $(H, L, H)$  の場合は、n 型トランジスタ 8 4、8 6 が導通し、それらのチャネル幅が「D」、「4 D」の場合は等価的なチャネル幅が「5 D」になる。

【0063】やがて、ノード  $b$  の電位がノード  $b_1$  の電位より小さくなった場合に、比較器 1 1 3 のカウントアップ信号  $S_2$  が停止し、n 型トランジスタ 8 4、8 5、8 6 は出力抵抗  $R_2$  が略  $28\Omega$  となり、SSTL2 インタフェースに最適な出力特性になる。

【0064】なお、比較器 1 1 2、1 1 3 は、発振器 1 0 の出力クロックにより動作させるのではなく、LSI デバイス 1 0 0 に供給されるクロックに同期させて動作させてもよい。また、カウンタ 1 1 4、1 1 5 をアップダウンカウンタとし、ノード  $a$  とノード  $a_1$  又はノード  $b$  とノード  $b_1$  の電位の比較結果に応じて、 $(Q_3, Q_2, Q_1)$  又は  $(T_3, T_2, T_1)$  を増減させてもよい。また、比較器 1 1 2、1 1 3 を、電源投入後の所定時間動作させ、設定値 ( $Q_3, Q_2, Q_1$ ) 及び  $(T_3, T_2, T_1)$  を例えばレジスタ等に記憶させ、その後電流削減のため比較動作を停止させるてもよい。また、上記の説明は、SSTL2 インタフェースを例にとっているが、その限りではない。

【0065】また、図 1 1 においては、ダミー p 型トランジスタ 8 1、8 2、8 3、ダミー n 型トランジスタ 8 4、8 5、8 6 の電流駆動能力は、出力回路 1 3 の p 型トランジスタ、n 型トランジスタの電流駆動能力と同じ能力を有し、抵抗 9 3、9 4、9 5、9 6 の抵抗値は、SSTL2 インタフェースの等価抵抗の抵抗値と同じ値としている。

【0066】ここで、ダミー p 型トランジスタ 8 1、8 2、8 3、ダミー n 型トランジスタ 8 4、8 5、8 6 の電流駆動能力を、出力回路 1 3 の p 型トランジスタ、n

型トランジスタの電流駆動能力の例えれば  $1/10$  とし、抵抗 9 3、9 4、9 5、9 6 の抵抗値を、SSTL2 インタフェースの等価抵抗の抵抗値の  $10$  倍としても、ノード  $a$  及びノード  $b$  の電位は図 1 1 の場合と同じになり、リファレンス回路 1 0 5 の電位との比較動作も図 1 1 の場合と同様に行える。従って、出力回路 1 3 の電流駆動能力を最適な値に調整する場合に、出力トランジスタモニタ回路 7 5 で消費される電流を約  $1/10$  にすることができ、その消費電流を削減することができると共に、その回路規模を小さくすることができる。

【0067】図 1 2 は、他の実施の形態の出力トランジスタモニタ回路の構成図である。本実施の形態の出力トランジスタモニタ回路 7 5 は、図 1 1 の実施の形態の等価抵抗 9 4、9 5 (各  $25\Omega$ ) を等価抵抗 1 2 1 ( $50\Omega$ ) に置き換え、等価抵抗 9 4、9 5 の中間に供給されるターミナル電位  $V_{t t}$  を省略して回路構成を簡略化したものである。本実施の形態では、p 型トランジスタ 8 1、8 2、8 3 と n 型トランジスタ 8 4、8 5、8 6 の出力抵抗を交互に比較し、両者ともに略  $28\Omega$  に収束するよう制御する。

【0068】即ち、例えば、初期状態で p 型トランジスタ 8 1 と n 型トランジスタ 8 4 を導通させ、比較動作を開始する。この状態では出力トランジスタの出力抵抗  $R_1, R_2$  は  $28\Omega$  より大きく、ノード  $a$  の電位はノード  $a_1$  の電位より低く、ノード  $b$  の電位はノード  $b_1$  の電位より高い。まず、比較器 1 1 2 とカウンタ 1 1 4 を動作させ、ノード  $a$  の電位をノード  $a_1$  の電位に近づける。ただし、この場合は、n 型トランジスタの出力抵抗  $R_2$  が  $28\Omega$  ではないので、p 型トランジスタの出力抵抗  $R_1$  を  $28\Omega$  に正確に合わせることはできない。

【0069】次に、p 型トランジスタの出力抵抗  $R_1$  が  $28\Omega$  に近くなった状態を維持して、比較器 1 1 3 とカウンタ 1 1 5 を動作させ、ノード  $b$  の電位をノード  $b_1$  の電位に近づける。ただし、この場合は、p 型トランジスタの出力抵抗  $R_1$  が正確に  $28\Omega$  ではないので、n 型トランジスタの出力抵抗  $R_2$  を  $28\Omega$  に正確に合わせることはできない。

【0070】次に、n 型トランジスタの状態を維持しながら、比較器 1 1 2 とカウンタ 1 1 4 を動作させ、ノード  $a$  の電位をノード  $a_1$  の電位に更に近づける。この場合は、n 型トランジスタの出力抵抗  $R_2$  が  $28\Omega$  に近くなっているので、p 型トランジスタの出力抵抗  $R_1$  を  $28\Omega$  に更に近づけることができる。このように、p 型トランジスタ 8 1、8 2、8 3 と n 型トランジスタ 8 4、8 5、8 6 の出力抵抗  $R_1, R_2$  を交互に比較し、両者ともに略  $28\Omega$  に収束するように制御する。

【0071】また、本実施の形態では、LSI デバイスの内部に内部電圧源 1 2 0 を設け、内部電圧源 1 2 0 により電源  $V_{ccq}$  を作っているので、電源  $V_{ccq}$  及びリファレンス電圧が安定化され、比較動作を正確に行う

ことができる。

【0072】図13は、他の実施の形態の出力トランジスタモニタ回路の構成図である。本実施の形態の出力トランジスタモニタ回路75は、図12の実施の形態におけるリファレンス回路105の抵抗98(50Ω)を、抵抗130、132(各2Ω)と抵抗131(46Ω)に置き換え、比較器125、126を追加したものである。本実施の形態は、図12において、カウンタ114、115をアップダウンカウンタにした場合に、出力トランジスタの出力抵抗R1、R2が28Ωの前後でアップダウンを繰り返し、動作が不安定になることを防止したものである。

【0073】本実施の形態では、リファレンス回路105のノードa1、b1は、出力トランジスタの出力抵抗R1、R2が28Ωに対応し、ノードa2、b2は出力トランジスタの出力抵抗R1、R2が30Ωに対応する。そして、カウンタ114に比較器112、125の比較結果を判断する論理部127を設け、カウンタ115に比較器113、126の比較結果を判断する論理部128を設けることにより、出力トランジスタの出力抵抗R1、R2を28Ωから30Ωの間に設定することができる。

【0074】即ち、例えば、比較器112はノードaの電位がノードa1の電位より小さい場合にLレベル、大きい場合にHレベルの信号を出力し、比較器125はノードaの電位がノードa2の電位より小さい場合にLレベル、大きい場合にHレベルの信号を出力するものとする。また、論理部127は、比較器112、126から入力される信号が(L, L)の場合にカウントダウンし、(H, H)の場合にカウントアップし、(L, H)又は(H, L)の場合にカウント停止になるものとする。

【0075】この場合、ダミー出力トランジスタ81、82、83の出力抵抗R1が28Ωより小さい場合は、ノードaの電位がノードa1、ノードa2の電位より大きくなり、論理部127に(H, H)が入力されるので、カウンタ114はカウントアップして出力抵抗R1を大きくし、出力抵抗R1が28Ωより大きくなった場合に論理部127に(H, L)が入力されるので、カウンタ114はカウントを停止する。

【0076】一方、ダミー出力トランジスタ81、82、83の出力抵抗R1が30Ωより大きい場合は、ノードaの電位がノードa1、ノードa2の電位より小さくなり、論理部127に(L, L)が入力されるので、カウンタ114はカウントダウンして出力抵抗R1を小さくし、出力抵抗R1が30Ωより小さくなった場合に論理部127に(L, H)が入力されるので、カウンタ114はカウントを停止する。

【0077】このように、本実施の形態では、出力トランジスタの出力抵抗R1、R2を所定の範囲に設定するこ

とができる、また、カウンタ114、115がアップダウンカウンタの場合でも、動作が不安定になることはない。従って、ユーザの使用条件に応じて、出力トランジスタの駆動能力をきめ細かく設定することができる。

【0078】上記の実施の形態例について、更に整理すると、以下の通りである。但し、本発明が以下のものに限定されることはない。

【0079】(1) 出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号のデータを記憶する記憶回路と、第1の動作モードにおいて所定の入力端子から供給される第1の信号を前記出力電流設定信号として前記出力回路に供給し、第2の動作モードにおいて前記記憶回路のデータに対応する第2の信号を前記出力電流設定信号として前記出力回路に供給する動作モード切替え回路と、前記第1又は第2の動作モードを検出し、前記動作モード切替え回路に、前記第1及び第2の動作モードの切替え信号を供給する動作モード判定回路とを有することを特徴とするLSIデバイス。

【0080】(2) 上記(1)において、前記記憶回路は、前記出力電流設定信号のデータを複数組記憶し、前記複数組のデータの中から選択された1つのデータに対応する前記第2の信号を、前記動作モード切替え回路に供給することを特徴とするLSIデバイス。

【0081】(3) 上記(1)において、前記出力回路は、ソースが電源に接続され、ドレインが出力端子に接続される複数のトランジスタと、前記複数のトランジスタのゲートに、入力信号を個別に供給する複数のゲート回路とを有し、前記ゲート回路は、前記出力電流設定信号に対応して、前記入力信号を前記複数のトランジスタに選択的に供給することを特徴とするLSIデバイス。

【0082】(4) 上記(3)において、前記複数のトランジスタは、異なる電流駆動能力を有し、前記ゲート回路は、対応する前記出力トランジスタの電流駆動能力に応じたドライブ能力を有することを特徴とするLSIデバイス。

【0083】(5) 上記(1)において、前記第1の動作モードにおける前記第1の信号をラッチし、前記動作モード切替え回路に供給するラッチ回路を有することを特徴とするLSIデバイス。

【0084】(6) 出力電流設定信号により選択される複数の出力トランジスタを含み、出力電流が前記出力電流設定信号により設定される出力回路と、前記出力電流設定信号を前記出力回路に供給する出力モニタ回路とを有し、前記出力モニタ回路は、前記出力回路の電流駆動能力の基準となる参照電位を生成するリファレンス回路と、前記複数の出力トランジスタと同等の電流特性を有し、直列に接続されるダミー出力抵抗にダミー出力電流を流す複数のダミー出力トランジスタと、前記ダミー出

力電流が流れることにより前記ダミー出力抵抗に生成されるダミー出力電位と前記リファレンス回路の参照電位とを比較する比較部と、該比較部の比較結果に基づき、前記ダミー出力電位と参照電位が近づく様にダミー電流設定信号により前記ダミー出力トランジスタを導通又は非導通とすると共に、前記ダミー電流設定信号を前記出力電流設定信号として、前記出力回路に供給するダミー電流設定部とを有することを特徴とするLSIデバイス。

【0085】(7) 上記(6)において、前記参照電位は所定の電位差を有する第1及び第2の参照電位を有し、前記ダミー電流設定部は、前記比較部の比較結果に基づき、前記ダミー出力電位が、前記第1と第2の参照電位の間の電位になるように、前記ダミー出力トランジスタの導通又は非導通を制御することを特徴とするLSIデバイス。

【0086】(8) 上記(6)において、前記ダミー出力トランジスタは、前記出力トランジスタの電流駆動能力のN分の1の電流駆動能力を有し、前記ダミー出力抵抗は、前記出力トランジスタに接続される等価抵抗のN倍の抵抗値を有することを特徴とするLSIデバイス。

【0087】(9) 上記(6)において、前記出力モニタ回路は、所定の電源から降圧電源を生成する内部電圧源を有し、前記ダミー出力トランジスタ及び前記リファレンス回路は、前記内部電圧源から電源を供給されることを特徴とするLSIデバイス。

【0088】(10) 上記(6)において、前記複数のダミー出力トランジスタは、前記ダミー抵抗に直列に接続される複数のp型ダミー出力トランジスタと複数のn型ダミー出力トランジスタとを有し、前記ダミー電流設定部は、前記p型ダミー出力トランジスタと前記n型ダミー出力トランジスタを交互に調整することにより前記ダミー電流設定信号を生成することを特徴とするLSIデバイス。

【0089】(11) 上記(6)において、前記出力モニタ回路は、電源投入時の起動信号により活性化され、前記出力電流設定信号を前記出力回路に供給した後、非活性となることを特徴とするLSIデバイス。

#### 【0090】

【発明の効果】以上説明した通り、本発明によれば、製造段階で出力回路の電流駆動能力を試験することができます、記憶回路により出力回路を最適な電流駆動能力に設定することができる。また、動作時に出力回路を最適な

電流駆動能力に自動的に設定することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態のLSIデバイスの構成図である。

【図2】本発明の実施の形態の出力回路の説明図である。

【図3】本発明の実施の形態のテストモード判定回路の回路図である。

【図4】本発明の実施の形態のフューズ回路の部分構成図である。

【図5】本発明の実施の形態のテストモード・フューズ切替え回路の構成図である。

【図6】複数のフューズ回路を備えた構成図である。

【図7】本発明の実施の形態のLSIデバイスの構成図である。

【図8】本発明の実施の形態のラッチ回路の構成図である。

【図9】本発明の実施の形態のLSIデバイスの構成図である。

【図10】SSTL2インターフェースの説明図である。

【図11】本発明の実施の形態の出力トランジスタモニタ回路の構成図である。

【図12】本発明の実施の形態の出力トランジスタモニタ回路の構成図である。

【図13】本発明の実施の形態の出力トランジスタモニタ回路の構成図である。

【図14】従来の出力回路の構成図である。

#### 【符号の説明】

10 テストモード判定回路

30 11 フューズ回路

12 テストモード・フューズ切替え回路

13 出力回路

14 信号出力パッド

15 デコーダ

20、21、22 p型トランジスタ

23、24、25 n型トランジスタ

26、27、28 NAND回路

29、30、31 NOR回路

75 出力トランジスタモニタ回路

40 105 リファレンス回路

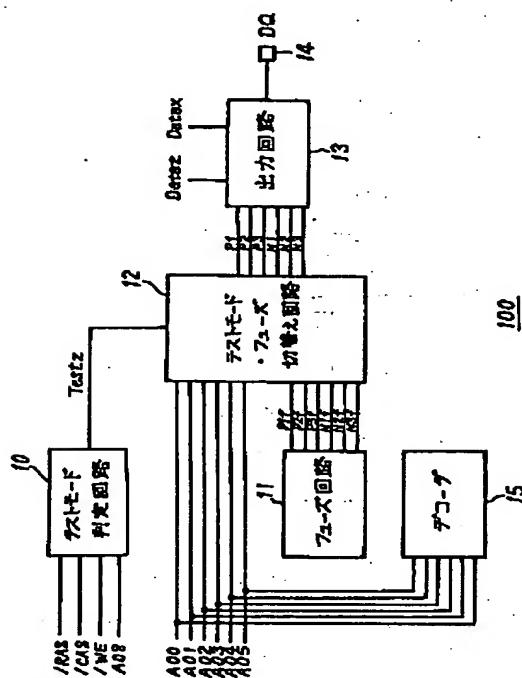
112、113 比較器

114、115 カウンタ

120 内部電圧源

【図1】

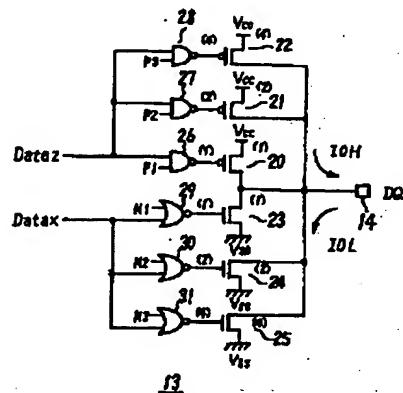
## 本発明の実施の形態のLSIデバイスの構成図



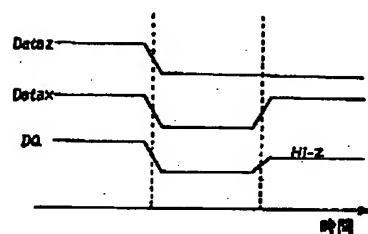
【図2】

## 本発明の実施の形態の出力回路の説明図

(1)



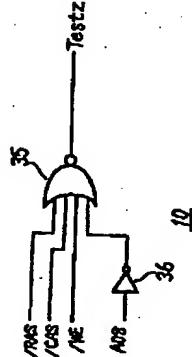
(2)



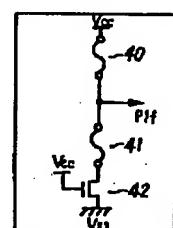
【図4】

## 本発明の実施の形態のフェーズ回路の部分構成図

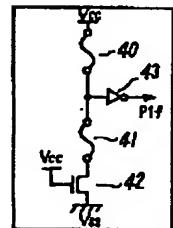
## 本発明の実施の形態のテストモード判定回路の回路図



(1)

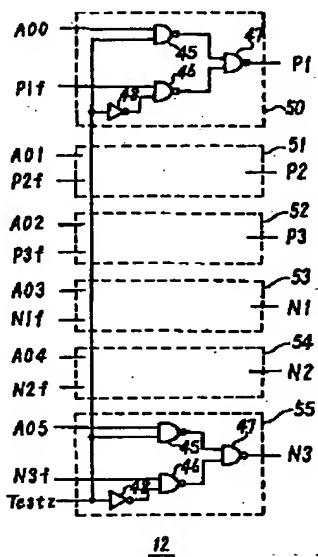


(2)



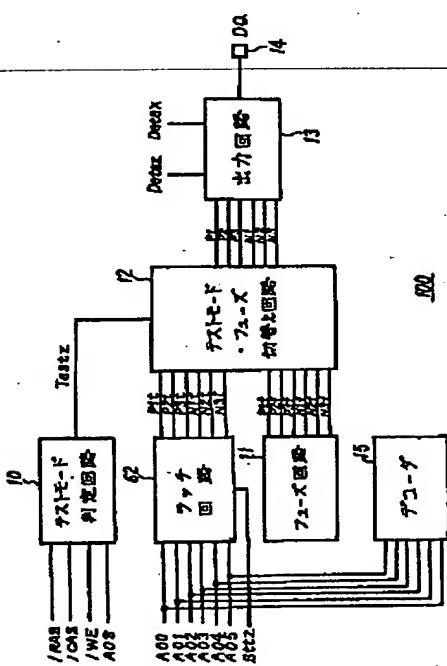
【図5】

本発明の実施の形態のテストモード・フューズ切替え回路の構成図



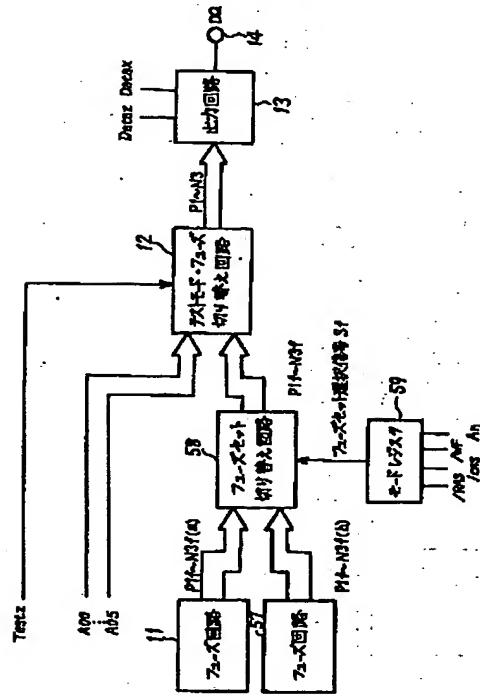
【図7】

本発明の実施の形態のLSIデバイスの構成図



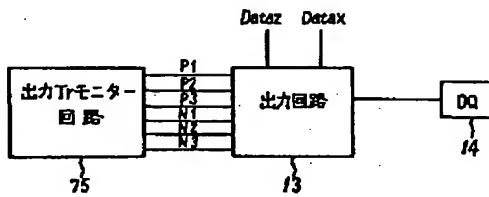
【図6】

複数のフューズ回路を備えた構成図



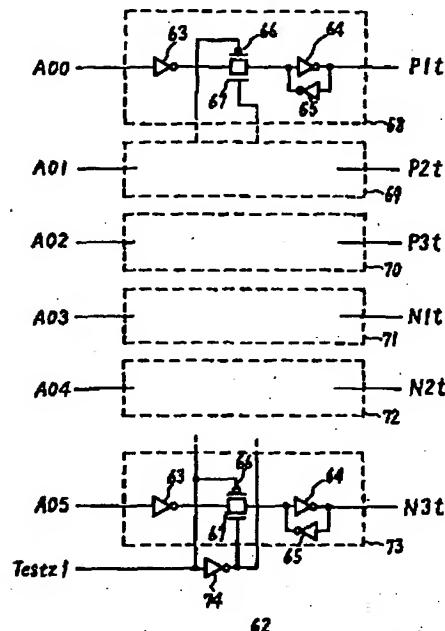
【図9】

本発明の実施の形態のLSIデバイスの構成図



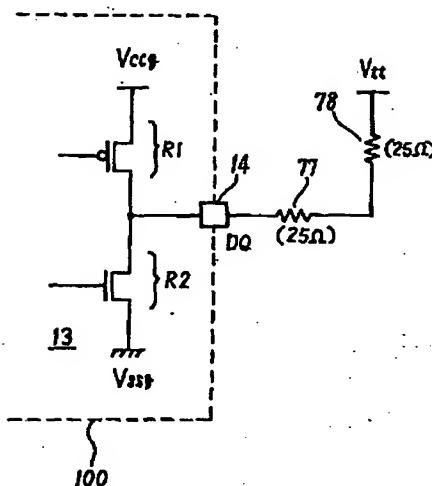
【図8】

本発明の実施の形態のラッチ回路の構成図



【図10】

SSTL2インターフェースの説明図

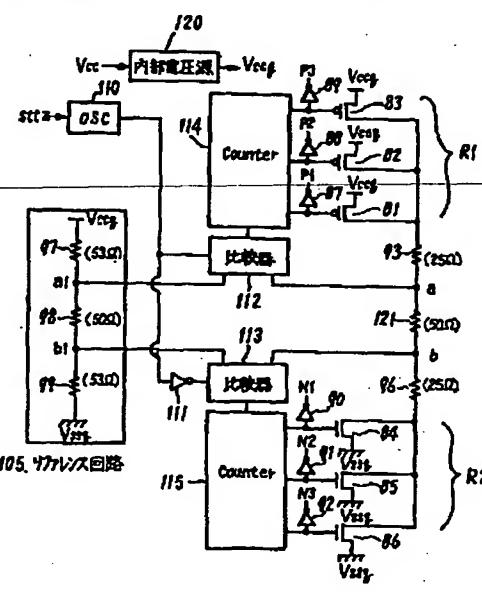
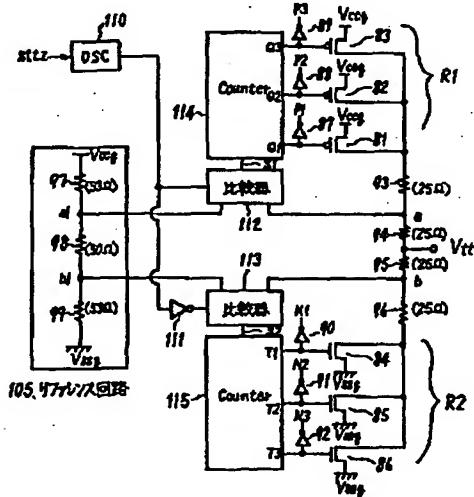


【図12】

本発明の実施の形態の出力トランジスタモニタ回路の構成図

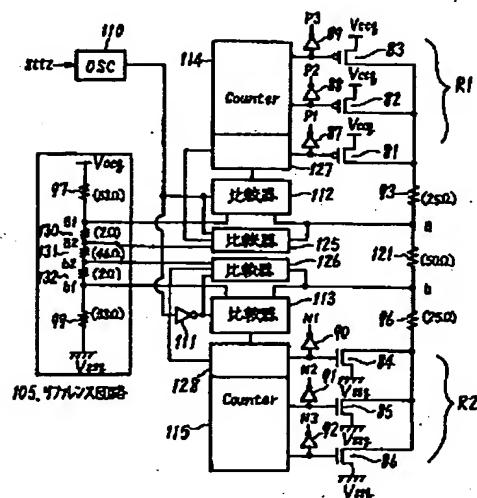
【図11】

本発明の実施の形態の出力トランジスタモニタ回路の構成図



【図13】

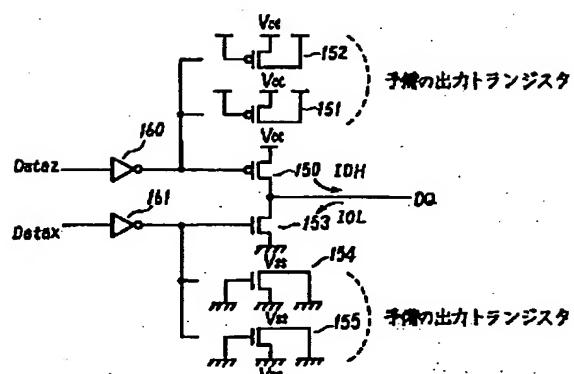
本発明の実施の形態の出力トランジスタモニタ回路の構成図



25

【図14】

従来の出力回路の構成図



フロントページの続き

F ターム(参考) 5J055 AX09 AX12 AX40 AX48 AX65  
 BX16 BX20 CX00 DX13 DX14  
 DX22 DX43 DX44 DX56 DX72  
 DX83 EY01 EY03 EY21 EZ07  
 EZ10 EZ12 EZ25 EZ28 EZ29  
 EZ31 EZ36 EZ38 EZ48 GX01  
 GX02 GX04